

COPIES OF PAPERS
ORIGINALLY FILED

3728

PATENT

Docket No. JCLA8191

page 1



IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

*2/ Priority Paper
T. Steptoe
6-21-02*

Re application of : CHEN-YUEH KUNG et al.

Application No. : 10/068,276

Filed : February 06, 2002

For : METHOD AND STRUCTURE FOR TAPW
BALL GRID ARRAY PACKAGE

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

May 13, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. **90129240** filed on **November 27, 2001**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA8191).

Date:

5/13/2002

By:

Jiawei Huang

Registration No. 43,330

Please send future correspondence to:

J. C. Patents

4 Venture, Suite 250

Irvine, California 92618

(949) 660-0761

RECEIVED

MAY 28 2002

TECHNOLOGY CENTER R3700

TECHNOLOGY CENTER 2800

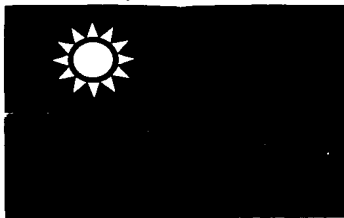
MAY 18 2002

RECEIVED

3048191

10/068.276

COPY OF PAPERS
ORIGINALLY FILED



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 11 月 27 日
Application Date

RECEIVED

申請案號：090129240
Application No.

MAY 28 2002

TECHNOLOGY CENTER R3700

申請人：威盛電子股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 3 月 11 日
Issue Date

發文字號：09111003676
Serial No.

TECHNOLOGY CENTER 2800

JUN 18 2002

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	捲帶式球格陣列封裝及其製程
	英 文	
二、發明 人 創 作	姓 名	1 宮振越 2 何昆耀 3 傅耀生
	國 籍	中華民國
三、申請人	住、居所	1 桃園縣大園鄉橫峰村南子 8 鄰中山南路一段 45 號 2 台北市通化街 165 巷 23 號 1 樓 3 台北縣新店市中正路 533 號 8 樓
	姓 名 (名 稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱：捲帶式球格陣列封裝及其製程)

一種捲帶式球格陣列封裝及其製程，係先圖案化捲帶之介電層上下兩面之金屬層，以分別形成線路圖案，接著在捲帶之介電層上形成多個貫孔，由於貫孔係貫穿下層金屬層及介電層，而止於上層金屬層，因而形成植球用之盲孔，接著分別形成鐳罩層於捲帶之兩面，並圖案化鐳罩層以暴露出部分金屬層，而形成對應晶片之接點，接著將鐳球植入盲孔之中，且鐳球之一端係突出超過鐳罩層之表面，最後將晶片以打線或覆晶的方式連接捲帶上的接點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

五、發明說明 (|)

本發明是有關於一種球格陣列 (Ball Grid Array , BGA) 封裝及其製程 , 且特別是有關於一種捲帶式球格陣列 (Tape-BGA , TBGA) 封裝及其製程。

球格陣列 (Ball Grid Array , BGA) 封裝係利用錐球 (Solder Ball) 佈滿整個基板 (Substrate) 之底面積的方式 , 來取代傳統的金屬導線架 (Lead frame) 的引腳。其係以打線 (Wire Bonding) 或覆晶 (Flip Chip) 的方式 , 將晶片的接點連接至基板上的接點 , 並利用基板之內部繞線將接點分散至基板表面 , 再通過導孔 (via) 連接到基板底面 , 最後將錐球分別植接基板底面之接點。由於球格陣列封裝係可利用整個基板的底面積作為接點的佈置 , 故具有高腳數 (High Pin Count) 的優勢。此外 , 在迴錐 (Reflow) 作業時 , 錐球熔解後的表面張力可產生自我校準 (Self Alignment) 的現象 , 故錐球之對位精度要求不高 , 再加上接合強度好、優良的電氣特性 , 使得球格陣列封裝成為目前電子構裝的主流之一。

球格陣列封裝可分為以塑膠封模的塑膠球格陣列封裝 (Plastic-BGA , PBGA) 、以陶瓷封模的陶瓷球格陣列封裝 (Ceramic-BGA , CBGA) 、以及捲帶之線路圖案與晶片電性連接的捲帶式球格陣列封裝 (Tape-BGA , TBGA) 。其中 , 捲帶式球格陣列封裝 (TBGA) 可提供高腳數之晶片封裝 , 並具有更薄、更輕 , 以及具有更佳的電性及散熱特性 , 通常適用於特定用途之積體電路 (Application-Specific Integrated Circuit , ASIC) 及微處理器。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

請參考第 1 圖，其為習知之一種捲帶式球格陣列式封裝的剖示圖。習知之捲帶式球格陣列封裝 100 之捲帶 (Tape) 110 的組成，係由兩層銅箔層 112、114 之間夾一層以聚乙醯胺 (Polyimide) 為材質的介電層 116，並圖案化兩銅箔層 112、114 以形成線路圖案，並在介電層 116 形成導電柱 (Via) 118，之後，形成圖案化之鐳罩層 120 以暴露出部分銅箔層 114 而形成鐳球墊 (Solder Ball Pad) 122，用以將鐳球 (Solder Ball) 124 植接 (Mount) 於鐳球墊 122 上，而晶片 200 之鐳墊 (Die Pad) 202 則經由導線 126 連接至銅箔層 114 之線路圖案上，並依序經由圖案化之銅箔層 114 及鐳球 124 與外界連接。

請同樣參考第 1 圖，捲帶 110 係以膠層 (Adhesive) 130a 貼附於支撐層 (Stiffener) 140 之底面，而支撐層 140 則環繞於晶片 200 之外圍，並同樣以膠層 130b 貼附於散熱片 150 之底面，而晶片 200 亦以膠層 130 貼附於散熱片 150 之底面。值得注意的是，捲帶 110 之上層的銅箔層 112 通常是作為共同的接地層 (Ground) 或電源層 (Power)，因此，為了將具有接地或電源性質的鐳球 124 連接至銅箔層 112 上，則必須形成導電柱 118 於介電層 116 之中，用以電性連接鐳球 124 及銅箔層 112。然而，為了形成導電柱 118，則必須增加許多製程步驟，其中包括高成本的去膠渣 (Desmear)、化學銅 (Chemical copper) 及鍍銅 (Cu plating) 製程，因而提高製造成本，並延長製程時間。

本發明之目的在於提供一種捲帶式球格陣列封裝及其

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (3)

製程，用以簡化製程步驟，縮短製程週期，以及降低製程成本。

基於本發明之上述目的，本發明提出一種捲帶式球格陣列式封裝，具有一捲帶，其係由一介電層、一第一金屬層及一第二金屬層所組成，其中介電層具有多個貫孔，其貫穿介電層，此外，第一金屬層係配置於介電層之一面，並封閉貫孔之一端，而成為多個盲孔，另外，第二金屬層則配置於該第二面，並暴露出該些盲孔之一端。一第一鉑罩層係配置於第一金屬層之上，並暴露出部分第一金屬層，而形成多個接點，此外，一第二鉑罩層係配置於第二金屬層之上，並暴露出部分第二金屬層及盲孔之一端。多個鉑球係分別配置於盲孔之中，且鉑球之一端係突出超過第二鉑罩層之表面，其中這些鉑球係與第一金屬層相電性連接，且至少一鉑球與第二金屬層相電性連接。晶片則配置於介電層之第一面之上，並與第一金屬層之接點相電性連接。

基於本發明之上述目的，本發明提出一種捲帶式球格陣列封裝之製程，首先提供一捲帶，其具有一介電層、一第一金屬層及一第二金屬層，其中第一金屬層位於介電層之第一面，而第二金屬層位於介電層之第二面。接著，圖案化第一金屬層及第二金屬層，並形成多個盲孔於捲帶之中，其中這些盲孔係分別貫穿第二金屬層及介電層，而止於第一金屬層。接著，分別形成圖案化之一第一鉑罩層及圖案化之一第二鉑罩層於第一金屬層及第二金屬層之上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

其中第一鐳罩層係暴露出部分第一金屬層，而形成多個接點，並且第二鐳罩層係暴露出部分第二金屬層及盲孔之一端。接著，形成多個鐳球於這些盲孔之中，且這些鐳球之一端係突出超過第二鐳罩層之表面，並且這些鐳球係與第一金屬層相電性連接，而至少一鐳球與第二金屬層相電性連接。最後，配置一晶片於該第一面之上，並電性連接晶片至第一金屬層之接點。其中將晶片電性連接至該第一金屬層之方法包括利用打線或覆晶的方式。

為讓本發明之上述目的、特徵和優點能夠明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

圖式之簡單說明

第 1 圖為習知之一種捲帶式球格陣列式封裝的剖面示意圖；

第 2A~2H 圖依序為本發明之較佳實施例之捲帶式球格陣列封裝的剖面流程圖；以及

第 3 圖為本發明之另一較佳實施例之捲帶式球格陣列封裝的剖面示意圖。

圖式之標示說明

100：捲帶式球格陣列封裝

110：捲帶

116：介電層

122：鐳球墊

126：導線

112、114：銅箔層

120：鐳罩層

124：鐳球

130a、130b：膠層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

140：支撐層	150：散熱片
200：晶片	202：鐳墊
300、301：捲帶式球格陣列封裝	
310：捲帶	312、314：金屬層
316：介電層	318：第一面
320：第二面	322：貫孔
324、326、328：合金層	
330、332：鐳罩層	334：接點
336：鐳球	338：導線
340：封裝材料	342：支撐層
344：底膠	400：晶片
402：鐳墊	404：主動表面
406：背面	408：凸塊

較佳實施例

請參考第 2A~2H 圖，其依序為本發明之較佳實施例之捲帶式球格陣列封裝的剖面流程圖。如第 2A 圖所示，首先提供一捲帶 310，其係由兩金屬層 312、314 之間夾一介電層 316 所組成，其中金屬層 312 係位於介電層 316 之第一面 318，而金屬層 314 則位於介電層 316 之第二面 320，其中介電層 316 之材質包括聚乙醯胺，而金屬層 312、314 之材質則包括銅。

如第 2B 圖所示，分別圖案化 (pattern) 金屬層 312 及金屬層 314，以形成線路圖案，而圖案化的方法包括利

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

用微影蝕刻的方式。接著，如第 2C 圖所示，形成多個貫孔 322 於介電層 316 之中，形成貫孔 322 的方法包括對介電層 316 進行曝光顯影，或是利用雷射燒孔 (Laser Ablation) 及電漿蝕孔 (Plasma Etching) 等方式來形成貫孔 322，其中貫孔 322 係貫穿金屬層 314 及介電層 316，而止於金屬層 312。

如第 2D 圖所示，接著例如以電鍍 (Plating)、化學電鍍 (Chemical Plating) 或無電極電鍍 (Electroless Plating) 的方式，分別形成圖案化之合金層 324、326 於金屬層 312、314 的表面，由於金屬層 312 之部分底面係由貫孔 322 暴露於外，故同樣形成一合金層 328 於金屬層 312 之底面，其中合金層 324、326、328 之材質包括鎳金合金。接著，如第 2E 圖所示，分別全面性塗佈 (Coating) 錫罩層 (Solder Mask) 330、332 於合金層 324、326、328、金屬層 312、314 及介電層 316 之上。接著，如第 2F 圖所示，分別圖案化錫罩層 330、332，使得錫罩層 330 暴露出部分合金層 324 及金屬層 312 而形成多個接點 334，並使得另一錫罩層 332 暴露出部分合金層 326、部分金屬層 314 及合金層 328。其中圖案化錫罩層 330、332 之方式例如為曝光 (Photography)、顯影 (Development)。

如第 2G 圖所示，最後將多個錫球 336 植接於貫孔 322 之中，且錫球 336 之下端均突出超過錫罩層 332 之表面，並使得每一個錫球 336 電性連接至金屬層 312 之底面，即接合於合金層 328，而部分錫球 336 亦接合金屬層 314。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

最後，如第 2H 圖所示，將晶片 400 之背面 406 配置於介電層 316 之第一面 318 之上，而晶片 400 之主動表面 404 具有多個鐳墊 402，以打線的方式，利用導線 338 來連接鐳墊及接點 334，使得晶片 400 得以依序經由導線 338、金屬層 312 及鐳球 336 而與外界電性連接。此外更利用一封膠材料 340 包覆上述之晶片 400、導線 338 及接點 334，藉以保護上述暴露出之元件，最終完成捲帶式球格陣列封裝 300。為了增加封裝結構的堅硬度及平整度，可以選擇性形成一支撐層 342，其環繞於晶片 400 之外圍而貼附於鐳罩層 330 之上，其中支撐層 342 例如為鍍錫銅片或是 FR-4 平板。

請同樣參考第 2H 圖，當金屬層 314 作為共同的接地層或電源層時，藉由植入鐳球 336a 時，將可一併連接金屬層 312 及金屬層 314，而無須習知之導電柱（如第 1 圖之元件 118）來連接，故可省略習知之導電柱的製程步驟，也因此而簡化封裝製程，縮短製程週期，進而降低封裝成本。值得注意的是，如第 1 圖所示，習知係利用遠離鐳球 124 之銅箔層 112 作為電源/接地層，而本發明則是利用接近鐳球之金屬層 314 作為電源/接地層，而遠離鐳球之金屬層 312 係作為訊號層，此為本發明的特徵之一。

除了上述利用打線的方式來連接晶片及捲帶上由金屬層形成的線路圖案之外，亦可利用覆晶（F/C）的方式將晶片上的凸塊（Bump）接合於捲帶上的接點。

請參考第 3 圖，其為本發明之另一較佳實施例之捲帶

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

式球格陣列封裝的剖面示意圖。捲帶式球格陣列封裝 301 亦可利用第 2A~2G 圖之製程來完成具有多個接點 334 之捲帶 310、鐳球 336 及鐳罩層 330、332，而合金層 324、326、328 之材質除了鎳金合金之外，更包括有鉛錫合金，並且在晶片 400 之鐳墊 402 上預先形成凸塊 408，再將凸塊 408 對應接合於接點 334，使得晶片 400 得以依序經由凸塊 408、金屬層 312 及鐳球 336 而與外界電性連接。此外，更可利用一底膠 (underfill) 344 來包覆鐳墊 402、凸塊 408 及接點 334，藉以保護上述暴露出之元件。

本發明之捲帶式球格陣列封裝係先圖案化捲帶之介電層上下兩面之金屬層，用以分別形成線路圖案，接著在捲帶之介電層上形成多個貫孔，由於貫孔係貫穿下層金屬層及介電層，而止於上層金屬層，因此而形成植球用之盲孔，之後分別形成鐳罩層於捲帶之兩面，並圖案化鐳罩層以暴露出部分金屬層，而形成對應晶片之接點，接著將鐳球植入盲孔之中，且鐳球之一端係突出超過鐳罩層之表面，最後將晶片以打線或覆晶的方式連接捲帶上的接點。

因此，本發明之捲帶式球格陣列封裝係可省略習知之導電柱，而以鐳球植入盲孔的方式，並使得鐳球突出超過鐳罩層之表面，並同時連接捲帶兩面之線路圖案，而無須習知之導電柱來連接，故可省略習知之導電柱的製程步驟。因此，本發明之捲帶式球格陣列封裝及其製程，將可簡化習知之封裝製程，縮短製程週期，進而降低封裝成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(9)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種捲帶式球格陣列封裝，至少包括：

一捲帶，具有：

一介電層，具有一第一面及對應之一第二面，並具有複數個貫孔，其貫穿該介電層，

圖案化之一第一金屬層，配置於該第一面，並封閉該些貫孔之一端，而成為複數個盲孔，

圖案化之一第二金屬層，配置於該第二面，並暴露出該些盲孔之一端；

圖案化之一第一鐳罩層，配置於該第一金屬層之上，並暴露出部分該第一金屬層，而形成複數個接點；

圖案化之一第二鐳罩層，配置於該第二金屬層之上，並暴露出部分該第二金屬層及該些盲孔之一端；

複數個鐳球，分別配置於該些盲孔之中，且該些鐳球之一端係突出超過該第二鐳罩層之表面，其中該些鐳球係與該第一金屬層相電性連接，且至少該些鐳球之一係與該第二金屬層相電性連接；以及

至少一晶片，配置於該第一面之上，並與該些接點相電性連接。

2. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該介電層之材質包括聚乙醯胺。

3. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該第二金屬層係作為電源層及接地層其中之一。

4. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該第一金屬層係作為訊號層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該第一金屬層及該第二金屬層之材質包括銅。

6. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該第一金屬層之表面及底面與該第二金屬層之表面分別具有一合金層。

7. 如申請專利範圍第 6 項所述之捲帶式球格陣列封裝，其中該些合金層之材質包括鎳金合金及鉛錫合金其中之一。

8. 如申請專利範圍第 1 項所述之捲帶式球格陣列封裝，其中該晶片具有一主動表面及對應之一背面，且該晶片更具有複數個鐳墊，其位於該主動表面。

9. 如申請專利範圍第 8 項所述之捲帶式球格陣列封裝，更包括複數個導線及一封裝材料，其中該晶片係以該背面貼附於該第一鐳罩層之上，而該些導線係分別連接該些鐳墊及該些接點，且該封裝材料係包覆該晶片、該些導線及該些接點。

10. 如申請專利範圍第 9 項所述之捲帶式球格陣列封裝，更包括一支撐層，配置於該第一鐳罩層之上，並環繞於該封裝材料之外圍。

11. 如申請專利範圍第 8 項所述之捲帶式球格陣列封裝，其中該晶片更具有複數個凸塊，其分別突出於該些鐳墊之上，而該些凸塊係分別對應接合於該些接點。

12. 如申請專利範圍第 11 項所述之捲帶式球格陣列封裝，更包括一底膠，其包覆該些鐳墊、該些凸塊及該些

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

接點。

13. 如申請專利範圍第 11 項所述之捲帶式球格陣列封裝，更包括一支撐層，配置於該第一鍍罩層之上，並環繞於該晶片之外圍。

14. 一種捲帶式球格陣列封裝之製程，至少包括：

提供一捲帶，其具有一介電層、一第一金屬層及一第二金屬層，其中該介電層具有一第一面及對應之一第二面，而該第一金屬層係位於該第一面，而該第二金屬層係位於該第二面；

圖案化該第一金屬層及該第二金屬層；

形成複數個盲孔於該捲帶，其中該盲孔係貫穿該第二金屬層及該介電層，而止於該第一金屬層；

分別形成圖案化之一第一鍍罩層及圖案化之一第二鍍罩層於該第一金屬層及該第二金屬層之上，其中該第一鍍罩層係暴露出部分該第一金屬層而形成複數個接點，且該第二鍍罩層暴露出部分該第二金屬層及該些盲孔之一端；

形成複數個鍍球於該些盲孔之中，且該些鍍球之一端係突出超過該第二鍍罩層之表面，而該些鍍球係與該第一金屬層相電性連接，且至少該些鍍球之一係與該第二金屬層相電性連接；以及

配置至少一晶片於該第一面之上，並電性連接該晶片至該些接點。

15. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中該介電層之材質包括聚乙醯胺。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

16. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中該第一金屬層及該第二金屬層之材質包括銅。

17. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中該第二金屬層係作為電源層及接地層其中之一。

18. 如申請專利範圍第 17 項所述之捲帶式球格陣列封裝之製程，其中該第一金屬層係作為訊號層。

19. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中圖案化該第一金屬層及該第二金屬層之方法包括微影蝕刻。

20. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中圖案化該第一金屬層及該第二金屬層之後，更包括分別形成一合金層於該第一金屬層之表面及底面與該第二金屬層之表面。

21. 如申請專利範圍第 20 項所述之捲帶式球格陣列封裝之製程，其中形成該些合金層之方法包括電鍍。

22. 如申請專利範圍第 20 項所述之捲帶式球格陣列封裝之製程，其中形成該些合金層之方法包括化學電鍍。

23. 如申請專利範圍第 20 項所述之捲帶式球格陣列封裝之製程，其中形成該些合金層之方法包括無電極電鍍。

24. 如申請專利範圍第 20 項所述之捲帶式球格陣列封裝之製程，其中該些合金層材質包括鎳金合金及鉛錫合

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

金其中之一。

25. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中形成複數個盲孔於該捲帶之方法包括微影蝕刻、雷射燒孔及電漿蝕孔其中之一。

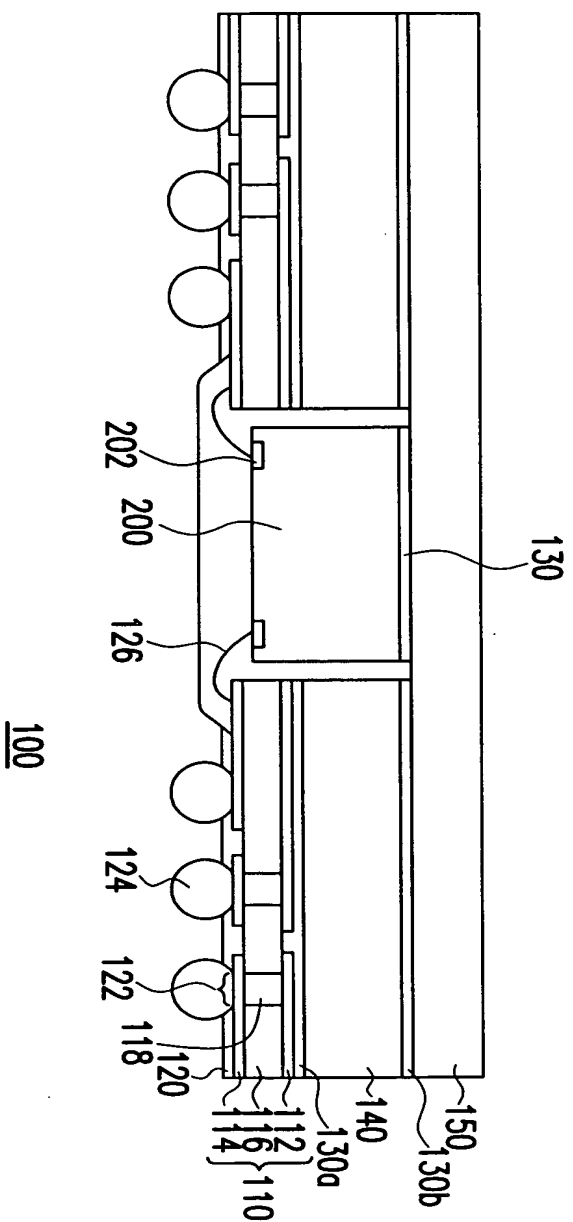
26. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中形成圖案化之該第一鐳罩層及圖案化之該第二鐳罩層的方法包括分別塗佈該第一鐳罩層及該第二鐳罩層於該第一金屬層及該第二金屬層之上，並分別曝光顯影該第一鐳罩層及該第二鐳罩層。

27. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中該晶片電性連接至該第一金屬層之方法包括以打線的方式。

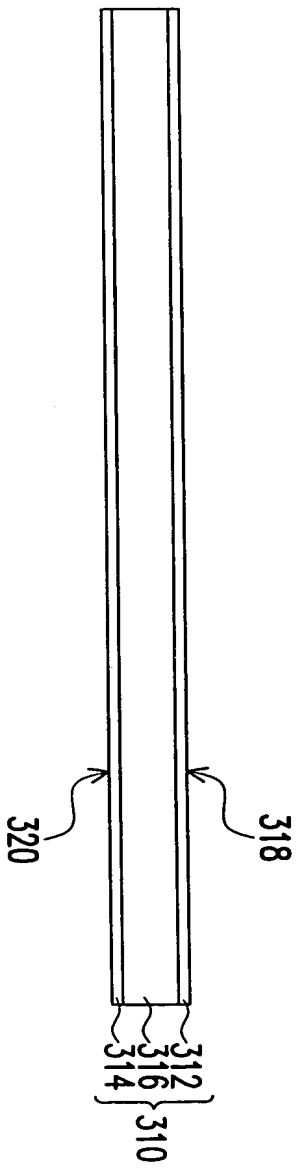
28. 如申請專利範圍第 14 項所述之捲帶式球格陣列封裝之製程，其中該晶片電性連接至該第一金屬層之方法包括以覆晶的方式。

(請先閱讀背面之注意事項再填寫本頁)

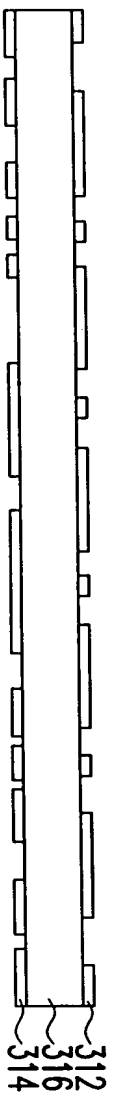
裝
訂
線



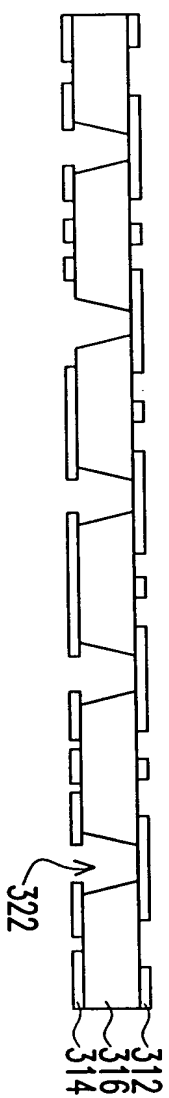
第 1 圖



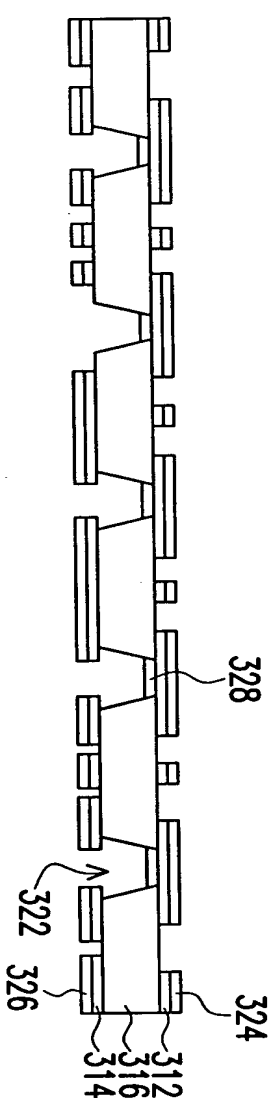
第2A圖



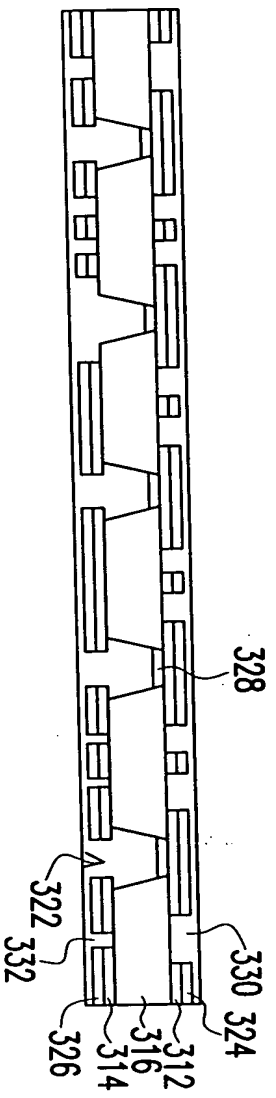
第2B圖



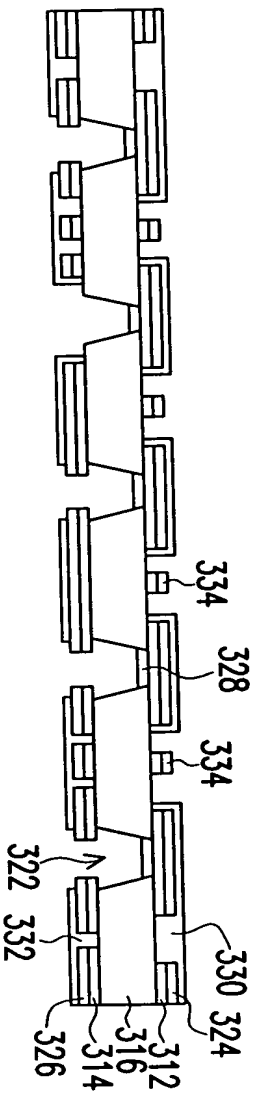
第2C圖



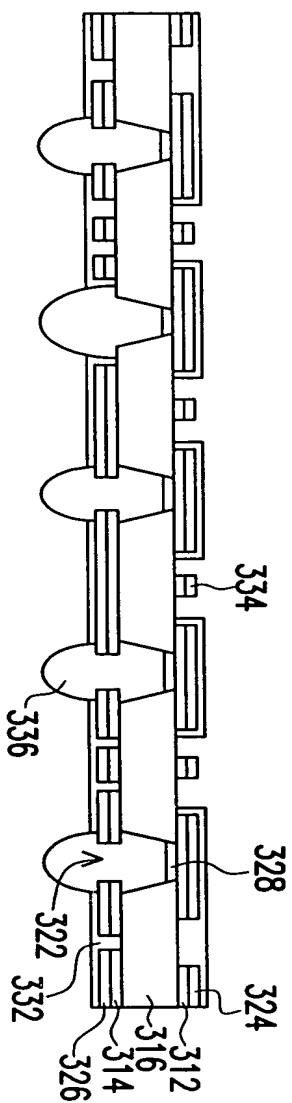
第2D圖



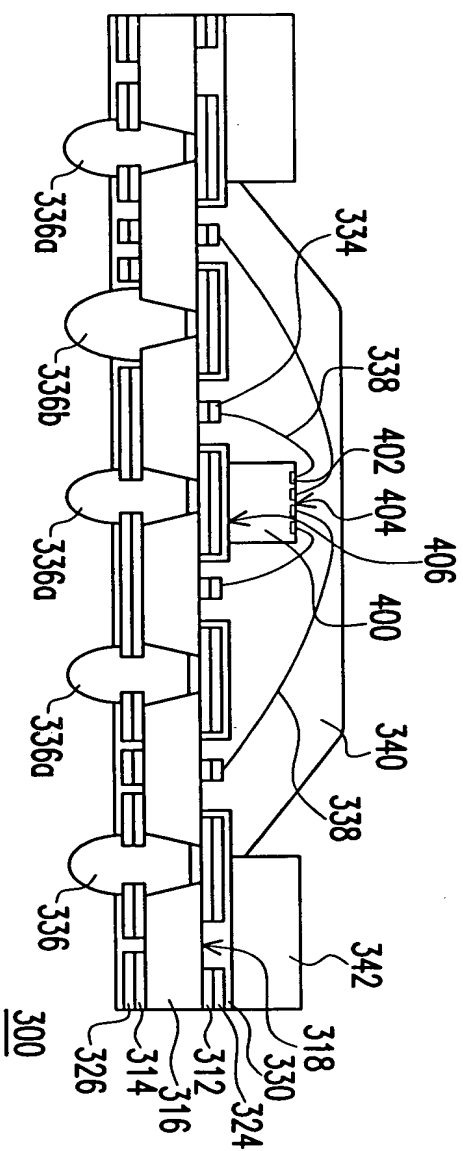
第2E圖



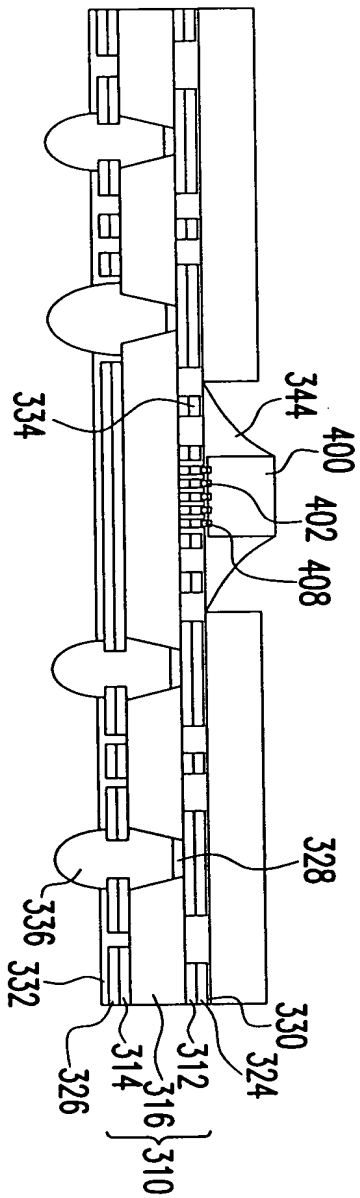
第2F圖



第2G圖



第2H圖



第 3 圖

301